

⑫ 公開特許公報(A)

平3-150678

⑤Int.Cl.⁵G 06 F 15/72
G 09 G 5/36

識別記号

3 5 0

庁内整理番号

7165-5B
8839-5C

④公開 平成3年(1991)6月27日

審査請求 未請求 請求項の数 1 (全4頁)

⑤4発明の名称 グラフィックディスプレイ装置

②特 願 平1-290891

②出 願 平1(1989)11月7日

⑦発 明 者 村 田 哲 夫 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内
 ⑦出 願 人 日本無線株式会社 東京都三鷹市下連雀5丁目1番1号
 ⑦代 理 人 弁理士 吉田 研二 外2名

明 細 書

1. 発明の名称

グラフィックディスプレイ装置

2. 特許請求の範囲

図形データを記憶するセグメントバッファと、前記セグメントバッファから図形データを読み出して所定の座標変換を施し、ビット展開を行うグラフィックプロセッサと、前記グラフィックプロセッサによってビット展開された図形データを記憶するフレームバッファと、前記フレームバッファから図形データを読み出して画像信号を生成するビデオジェネレータと、この画像信号により画像が表示されるディスプレイと、を有するグラフィックディスプレイ装置において、

前記グラフィックプロセッサ及びフレームバッファが複数個設けられ、

前記複数のグラフィックプロセッサによるセグメントバッファからの図形データの読み出しを、所定順序で実行させるセグメントバッファ読み出し制御部と、

前記ビデオジェネレータによる複数のフレームバッファからの図形データの読み出しを、所定順序で実行させるフレームバッファ読み出し制御部と、

前記複数のグラフィックプロセッサに座標変換の実行を順次指示し、前記フレームバッファ読み出し制御部にビデオジェネレータへの図形データの出力を所定順序で実行させる表示制御部と、

を含むことを特徴とするグラフィックディスプレイ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、図形データをディスプレイの画面上に表示させるグラフィックディスプレイ装置、特にセグメントバッファからの図形データの読み出しに係る構造の改良に関する。

〔従来技術〕

従来から、例えばコンピュータ等の装置において、図形データをディスプレイ画面上に表示するグラフィックディスプレイ装置が用いられている。

また近年においては、グラフィックディスプレイ装置における表示として、静的な図形の表示の他に、動的な図形表示が要求されている。

第2図には、従来のグラフィックディスプレイ装置の一構成例が示されている。

第2図に示される装置は、図形データを例えばワールド座標系と呼ばれる論理座標系により記憶するセグメントバッファ（以下、SBという）10と、該SB10から図形データを読み出してフレームバッファ（以下、FBという）12のアドレスに対応した物理座標のデータに変換し、ビット展開するグラフィックプロセッサ（以下、GPUという）14と、このビット展開された図形データを記憶するFB12と、該FB12から図形データを取り込んで映像信号を生成するビデオジェネレータ（以下、VDGという）16と、この映像信号に基づき図形映像を画面上に表示するCRT18と、から構成されている。

すなわち、SB10に記憶された図形データは、GPU14において座標変換及びビット展開が施

された上でFB12に記憶され、更にVDG16によりFB12から図形データが取り込まれ、CRT18に映像信号が供給される。

この様に、従来のグラフィックディスプレイ装置においては、SB10から順次図形データを変換・転送してCRT18の画面上に図形を表示することが可能である。

〔発明が解決しようとする課題〕

しかしながら、従来のグラフィックディスプレイ装置においては、動的表示を実行する際に、前述の一連の動作を1秒間に例えば20～30回程度、行なう必要があった。

このような装置全体の高速動作を回避するために、FBを2組備え、1組をGPUの書き込み専用、他の1組をVDGの読み出し専用とすることも可能である。しかしながら、この方法においては、GPUの負担が大となり、GPUに高速動作性能が要求される。逆に言えば、GPUの動作速度が、装置の構成に用いることが出来るSBの記憶容量を制約していた。

本発明は、このような問題点を解決することを課題として成されたものであり、低速動作のGPUを用いた場合にも、高速で図形データの表示を行なうことが可能なグラフィックディスプレイ装置を提供することを目的とする。

〔課題を解決するための手段〕

前記目的を達成するために、本発明は、GPU及びFBが複数個設けられ、複数のGPUによるSBからの図形データの読み出しを所定順序で実行させるセグメントバッファ読み出し制御部（以下、SB読み出し制御部という）と、VDGによる複数のFBから図形データの読み出しを、所定順序で実行させるフレームバッファ読み出し制御部（以下、FB読み出し制御部という）と、複数のGPUに座標変換の実行を所定順序で指示し、FB読み出し制御部にVDGへの図形データの出力を所定順序で実行させる表示制御部と、を含むことを特徴とする。

〔作用〕

本発明のグラフィックディスプレイ装置におい

ては、SBからの図形データの読み出しがSB読み出し制御部の制御のもと行なわれる。この制御は、複数個設けられたGPUに所定順序で図形データが出力されるように行なわれる。また、複数のGPUには、表示制御部から座標変換の実行に係る指示が所定順序で発せられ、この指示に基づき、複数のGPUは、それぞれ自身に読み込まれた図形データについての座標変換を実行する。また、複数のFBは、それぞれ対応するGPUから図形データを取り込んで、FB読み出し制御部を介してVDGに出力する。このFB読み出し制御部は、表示制御部によって所定順序で図形データをVDGに出力するよう制御されており、VDGは、供給された図形データに基づいて映像信号を生成し、ディスプレイの画面上に図形を表示させる。

この様に、本発明のグラフィックディスプレイ装置においては、図形データを高速で表示させる際に、GPUについての負担が軽減される。

〔実施例〕

以下、本発明の好適な実施例について、図面を用いて説明する。なお、第2図に示される従来例と同様の構成には同一の符号を付し、説明を省略する。

第1図には、本発明の一実施例に係るグラフィックディスプレイ装置の構成が示されている。

第1図においては、GPU14及びFB12がそれぞれ3個設けられており、SB10とGPU14-1、14-2、14-3との間には、SB10からの図形データの読み出しを制御するSB読み出し制御部20が設けられている。また、FB12-1、12-2、12-3とVDG16の間には該FB12-1、12-2、12-3からVDG16への図形データの読み出しを制御するFB読み出し制御部22が設けられている。そして、前記GPU14-1、14-2、14-3と、FB読み出し制御部22には、制御部24が接続されている。

次に、この実施例の動作について説明する。

この実施例によりSB10から図形データの読

み出しを行なう場合には、GPU14-1、14-2及び14-3は、SB読み出し制御部20を介して読み出しを行なう。この際、SB読み出し制御部20は、それぞれのGPU14-1、14-2、14-3に所定順序でSB10からの図形データを割当てる。

前記GPU14-1、14-2及び14-3は、制御部24から座標変換パラメータを取り込んで、更に該制御部24からの指示に応じて、SB10から読み出した図形データの座標変換を実行する。

座標変換された図形データは、それぞれGPU14-1、14-2、14-3からSB12-1、12-2、12-3に取り込まれる。

前記制御部24は、前記GPU14-1、14-2、14-3における座標変換の実行終了に応じて、前記FB読み出し制御部22を制御して、FB12-1、12-2、12-3から所定順序で図形データを取り込む。この様にしてFB12-1、12-2、12-3から取り出されたデータは、前記VDG16に供給され、映像信号が生

成されて、CRT18の画面上に図形が表示される。

以上の動作が繰り返されることにより、図形が高速で動的に表示される。

なお、本実施例においてはGPU14、FB12は3個設けられているが、本発明においては3個に限定されないことはいうまでもない。

[発明の効果]

以上説明したように、本発明によれば、SBから図形データを読み出してディスプレイの画面上に高速表示する際に、GPUとして高速動作が可能なGPUを採用する必要がなく、比較的低速のGPUによって高速表示動作を実現することが可能である。例えば、GPUとして高速動作GPUの1/10程度の動作速度しか有しないGPUを採用した場合には、このGPUを20個並列接続すれば、高速動作GPUを1個使用した場合に比べて、2倍の表示速度を確保することが出来る。

また、装置の設計において、装置のアプリケーションに応じて決定されるSBの記憶容量をもと

に、GPUの個数を決定すればよく、設計作業の簡略化が実現される。

4. 図面の簡単な説明

第1図は、本発明の一実施例に係るグラフィックディスプレイ装置の構成を示すブロック図、

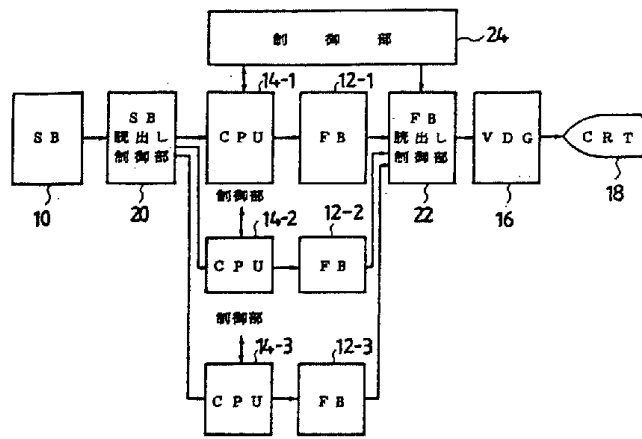
第2図は、従来におけるグラフィックディスプレイ装置の一構成例の構成を示すブロック図である。

10	…	セグメントバッファ
12	…	フレームバッファ
14	…	グラフィックプロセッサ
16	…	ビデオジェネレータ
18	…	CRT
20	…	SB読み出し制御部
22	…	FB読み出し制御部
24	…	制御部

出願人 日本無線株式会社

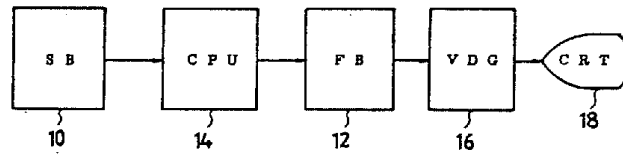
代理人 弁理士 吉田研二

(外2名) [D-41]



実施例の構成

第 1 図



実施例の構成

第 2 図

PAT-NO: JP403150678A
DOCUMENT-IDENTIFIER: JP 03150678 A
TITLE: GRAPHIC DISPLAY DEVICE
PUBN-DATE: June 27, 1991

INVENTOR-INFORMATION:

NAME	COUNTRY
MURATA, TETSUO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
JAPAN RADIO CO LTD	N/A

APPL-NO: JP01290891
APPL-DATE: November 7, 1989

INT-CL (IPC): G06F015/72 , G09G005/36

ABSTRACT:

PURPOSE: To realize high-speed pattern data display by instructing successively plural graphic processors (GPU) to execute coordinate transformation, and executing the output of pattern data of a video generator in prescribed order by a frame buffer read-out control part.

CONSTITUTION: An SB read-out control part 20 allots the pattern data from a segment buffer (SB) 10 to each GPU 14-1 to 14-3 in the prescribed

order. The GPU takes in a coordinate transformation parameter from a control part 24, and further, executes the coordinate transformation of the pattern data read out from the SB 10 in response to an instruction from the control part 24. The coordinate-transformed pattern data are taken in to the SBs 12-1 to 12-3 respectively from the GPUs 14-1 to 14-3. The control part 24 controls the frame buffer (FB) read-out control part 22, and takes in the pattern data from the FBs 12-1 to 12-3 in the prescribed order. Thus, a pattern is displayed dynamically at high speed.

COPYRIGHT: (C)1991,JPO&Japio